

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-083111

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

H03K 19/0175

H03K 17/687

(21)Application number : 03-242253

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 24.09.1991

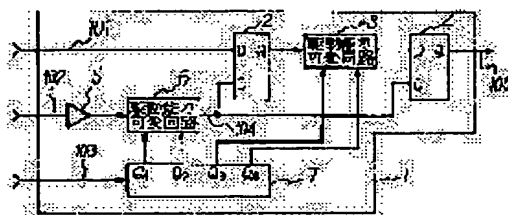
(72)Inventor : IKEDA KOJI

## (54) CMOS INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To realize the CMOS integrated circuit which is designed without consideration of a metal skew and a dispersion in a function block due to fluctuation in temperature and power supply voltage and a transistor (TR) characteristic difference at manufacture.

**CONSTITUTION:** The CMOS integrated circuit provided with a buffer 5 and flip-flops 2, 4 or the like forming a function block is provided with a memory 7 rewritten externally and storing a prescribed control setting value inputted externally and drive capability variable circuits 3, 6 inserted and connected to a signal path including the function block, receiving the control setting value outputted from the memory 7 and controlling and adjusting the drive capability of the function block.



## LEGAL STATUS

[Date of request for examination] 25.07.1995

[Date of sending the examiner's decision of rejection] 19.08.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-83111

(43) 公開日 平成 5 年 (1993) 4 月 2 日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175 17/687		6959-5 J 8221-5 J 6959-5 J	H 0 3 K 19/00 17/687 19/00	1 0 1 F F 1 0 1 N
審査請求 未請求 請求項の数 2 (全 6 頁)				

(21) 出願番号 特願平3-242253

(22) 出願日 平成 3 年 (1991) 9 月 24 日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会  
社  
神奈川県川崎市中原区小杉町 1 丁目 403 番  
53

(72) 発明者 池田 浩司

神奈川県川崎市中原区小杉町一丁目403番  
53日本電気アイシーマイコンシステム株式  
会社内

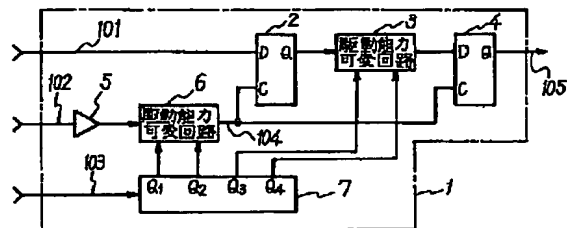
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 CMOS集積回路

(57) 【要約】

【目的】 温度、電源電圧の変動ならびに製造時のトランジスタ特性差による機能ブロックのパラツキおよびメタルスキューを考慮外として、回路設計を行い得るCMOS集積回路を実現する。

【構成】 本発明は、機能ブロックのバッファ5、フリップフロップ2および4等を備えて構成されるCMOS集積回路において、外部からの書替えが可能で、且つ外部から入力される所定の制御用設定値を収納するメモリ7と、前記機能ブロックを含む信号経路に挿入接続され、メモリ7より出力される制御用設定値を受けて、前記機能ブロックの駆動能力を制御調整する駆動能力可変回路3および6とを備えて構成される。



1...CMOS集積回路

2,4...フリップフロップ

5...バッファ

7...メモリ

1

【特許請求の範囲】

【請求項1】 所定の機能ブロックを備えて構成されるCMOS集積回路において、

外部からの替えが可能であり、且つ外部から入力される所定の制御用設定値を収納する制御用メモリと、

前記機能ブロックを含む信号経路に挿入接続され、前記制御用メモリより出力される制御用設定値を受けて、前記機能ブロックの駆動能力を制御調整する駆動能力可変回路と、

を備えることを特徴とするCMOS集積回路。

【請求項2】 前記駆動能力可変回路が、少なくとも、ソースが高電位側の電源に接続され、ゲートが前記制御用メモリの第1の出力端子に接続される第1のPチャネルMOSトランジスタと、

ソースが前記第1のPチャネルMOSトランジスタのドレインに接続され、ゲートに所定の入力信号の反転信号が入力されて、ドレインには前記反転信号の再反転信号が入力されるとともに出力端子が接続される第2のPチャネルMOSトランジスタと、

ドレインが前記第2のPチャネルMOSトランジスタのドレインに接続され、ゲートが前記第2のPチャネルMOSトランジスタのゲートに接続される第1のNチャネルMOSトランジスタと、

入力端が、前記制御用メモリの第1の出力端子に接続される第1のインバータと、

ドレインが前記第1のNチャネルMOSトランジスタのソースに接続され、ゲートが前記第1のインバータの出力端に接続されて、ソースが低電位側の電源に接続される第2のNチャネルMOSトランジスタと、

ソースが高電位側の電源に接続され、ゲートが前記制御用メモリの第2の出力端子に接続される第3のPチャネルMOSトランジスタと、

ソースが前記第3のPチャネルMOSトランジスタのドレインに接続され、ゲートに所定の入力信号の反転信号が入力されて、ドレインには前記反転信号の再反転信号が入力されるとともに出力端子が接続される第4のPチャネルMOSトランジスタと、

ドレインが前記第4のPチャネルMOSトランジスタのドレインに接続され、ゲートが前記第4のPチャネルMOSトランジスタのゲートに接続される第3のNチャネルMOSトランジスタと、

入力端が、前記制御用メモリの第2の出力端子に接続される第2のインバータと、

ドレインが前記第3のNチャネルMOSトランジスタのソースに接続され、ゲートが前記第2のインバータの出力端に接続されて、ソースが低電位側の電源に接続される第4のNチャネルMOSトランジスタと、

を備えて構成される請求項1記載のCMOS集積回路。

【発明の詳細な説明】

【0001】

2

【産業上の利用分野】 本発明はCMOS集積回路に関し、特に、外部より内部の駆動能力を制御することのできるCMOS集積回路に関する。

【0002】

【従来の技術】 従来のCMOS集積回路における機能ブロックは、温度および電源電圧変動による遅延時間の変化、半導体集積回路製造時のトランジスタ特性差に起因する遅延時間の変化を安定化させるための手段が、いろいろと検討されている。

10 【0003】 図3は、従来のCMOS集積回路の一例を示す回路図であり、図3に示されるように、フリップフロップ24および25と、バッファ26とを備えて構成されている。本例の場合においては、入力信号106および107に対応して、バス201および202における遅延時間をそれぞれ計算し、且つ、回路が如何なる状態の時ににおいても、安定に動作するか否かを検討する必要がある。

20 【0004】 図4(a)、(b)および(c)は、図3におけるMOS集積回路の動作を説明するためのタイミング図である。図4(a)、(b)および(c)に示される $T_1$ および $T_2$ は、温度および電源電圧の変動、半導体集積回路の製造時のトランジスタ特性差による機能ブロック、即ちフリップフロップ24とバッファ26の遅延時間のバラツキ範囲を示しており、節点Bおよび節点Cにおけるタイミングの変化によっては、 $T_1$ および $T_2$ がオーバーラップしているために、回路に誤動作を生ずる可能性がある。仮に、回路が誤動作する危険がある場合には、バス201またはバス202に、遅延時間のバラツキに対して十分なマージンを考慮した遅延ブロックを挿入することが考えられる。

30 【0005】 図5に示されるのは、このような考え方による他のCMOS集積回路を示す回路図である。図5に示されるように、フリップフロップ27および29と、遅延回路28と、バッファ30とを備えて構成されている。この従来例においては、フリップフロップ27および29の間には遅延回路28が挿入接続されており、これにより、図5における節点Bにおけるタイミングをずらせることが可能となる。図6(a)、(b)および(c)は、図5における回路動作を示すタイミング図であり、バス204に対して、バス203に十分な遅延時間を有する遅延回路28が挿入されているために、節点Bにおけるタイミング $T_1$ は、節点Cのタイミング $T_2$ の遅延時間のバラツキの変化に起因するタイミングに左右されることなく、フリップフロップ29は常に安定した動作を維持することができる。

50 【0006】 また、半導体プロセスの技術革新(プロセスの微細化)に伴ない、メタルスキューという問題が顕著になってきている。図7は、かかる従来の1不具合例を示すCMOS集積回路の回路図である。図7に示されるように、本従来例は、フリップフロップ31および3

3

2と、バッファ33により構成されており、各構成要素の配置配線の結果、バッファ33と節点Dの間の配線長が $L_1$ 、節点Dとフリップフロップ32のクロック端子（節点Gに対応）までの配線長が $L_2$ 、節点Dとフリップフロップ31のクロック端子（節点Eに対応）までの配線長が $L_3$ として、配線長 $L_2$ の長さが配線長 $L_3$ の長さより十分に大きい時に、回路における誤動作が発生した。

【0007】図8(a)、(b)、(c)、(d)および(e)は、図7における回路動作を示すためのタイミング図であるが、配線長 $L_2$ の長さが配線長 $L_3$ の長さより十分に大きいために、節点Eと節点Gにおける立上り時間差 $T_1$ の値が大きくなり、これによりフリップフロップ32のホールド・タイム $T_4$ （注：ホールド・タイム $T_4$ 以前の時間帯においてデータが変化すると、回路が安定動作をしなくなる）が時間不足となり、これにより回路誤動作が生ずる結果となった。

【0008】

【発明が解決しようとする課題】上述した従来のCMOS集積回路においては、機能ブロックの遅延時間のバラツキに対応して、回路が安定動作するか否かの検討を行い、誤動作が生起する危険のある回路については、十分なマージンを考慮した遅延回路を挿入する必要があり、回路設計が困難且つ複雑化するという欠点があり、また、半導体プロセスの技術革新に伴ない、顕著になったメタルスキュー問題に対して、配置配線後、それぞれの配線長および遅延時間についての確認を行い、メタルスキューによる回路誤動作を起す危険のある回路の場合には、当該メタルスキューによる回路誤動作がなくなるまで、何度も配置配線が実施されるが、メタルスキューが発生しても、誤動作が生じないように十分なマージンを考慮した遅延回路を挿入するという回路設計上の問題があるという欠点がある。

【0009】

【課題を解決するための手段】本発明のCMOS集積回路は、所定の機能ブロックを備えて構成されるCMOS集積回路において、外部からの書替えが可能であり、且つ外部から入力される所定の制御用設定値を収納する制御用メモリと、前記機能ブロックを含む信号経路に挿入接続され、前記制御用メモリより出力される制御用設定値を受けて、前記機能ブロックの駆動能力を制御調整する駆動能力可変回路と、を備えて構成される。

【0010】なお、前記駆動能力可変回路は、少なくとも、ソースが高電位側の電源に接続され、ゲートが前記制御用メモリの第1の出力端子に接続される第1のPチャンネルMOSトランジスタと、ソースが前記第1のPチャンネルMOSトランジスタのドレインに接続され、ゲートに所定の入力信号の反転信号が入力されて、ドレインには前記反転信号の再反転信号が入力されるとともに出力端子が接続される第2のPチャンネルMOSトランジス

4

タと、ドレインが前記第2のPチャンネルMOSトランジスタのドレインに接続され、ゲートが前記第2のPチャンネルMOSトランジスタのゲートに接続される第1のNチャンネルMOSトランジスタと、入力端が、前記制御用メモリの第1の出力端子に接続される第1のインバータと、ドレインが前記第1のNチャンネルMOSトランジスタのソースに接続され、ゲートが前記第1のインバータの出力端に接続されて、ソースが低電位側の電源に接続される第2のNチャンネルMOSトランジスタと、ソースが高電位側の電源に接続され、ゲートが前記制御用メモリの第2の出力端子に接続される第3のPチャンネルMOSトランジスタと、ソースが前記第3のPチャンネルMOSトランジスタのドレインに接続され、ゲートに所定の入力信号の反転信号が入力されて、ドレインには前記反転信号の再反転信号が入力されるとともに出力端子が接続される第4のPチャンネルMOSトランジスタと、ドレインが前記第4のPチャンネルMOSトランジスタのドレインに接続され、ゲートが前記第4のPチャンネルMOSトランジスタのゲートに接続される第3のNチャンネルMOSトランジスタと、入力端が、前記制御用メモリの第2の出力端子に接続される第2のインバータと、ドレインが前記第3のNチャンネルMOSトランジスタのソースに接続され、ゲートが前記第2のインバータの出力端に接続されて、ソースが低電位側の電源に接続される第4のNチャンネルMOSトランジスタと、を備えて構成してもよい。

【0011】

【実施例】次に、本発明について図面を参照して説明する。

【0012】図1は本発明の一実施例を示す回路図である。図1に示されるように、本実施例のCMOS集積回路1は、フリップフロップ2および4と、駆動能力可変回路3および6と、バッファ5と、メモリ7とを備えて構成されており、また、駆動能力可変回路6の内部構成は、図2において、バッファ5の内部構成とともに明示されている。

【0013】図1において、入力信号101はフリップフロップ2にD端子に入力され、そのQ端子の出力信号は駆動能力可変回路3に入力される。また、入力信号102はバッファ5を介して駆動能力可変回路6に入力されるが、他方、入力信号103は、外部から自由に書換えが可能なメモリ7に入力されており、メモリ7においては、入力信号103を受けて $Q_1$ 、 $Q_2$ 、 $Q_3$ および $Q_4$ の各端子からそれぞれ制御信号が出力されて、対応する駆動能力可変回路3および6に入力される。このことから明らかなように、本発明においては、バッファ5および駆動能力可変回路6を含む信号経路と、フリップフロップ2および駆動能力可変回路3を含む信号経路における駆動能力が、全て、メモリ7を介して、半導体集積回路の外部から自由に制御可能である。

5

【0014】図2は、図1におけるバッファ5と駆動能力可変回路6の内部構成を示す回路図であり、メモリ7に対応して、バッファ5は、PチャネルMOSトランジスタ9およびNチャネルMOSトランジスタ10を含むインバータ8と、PチャネルMOSトランジスタ12およびNチャネルMOSトランジスタ13を含むインバータ11とを備えて構成され、また駆動能力可変回路6は、インバータ14および19と、PチャネルMOSトランジスタ15、16、20および21と、NチャネルMOSトランジスタ17、18、22および23とを備えて構成される。

【0015】以下、温度、電源電圧および半導体集積回路の製造時におけるトランジスタ特性の概略条件が設定された時点における動作について説明する。

【0016】まず、温度、電源電圧および製造時のトランジスタ特性が定常状態の時に、メモリ7におけるQ<sub>1</sub>出力のレベルをロウレベル、Q<sub>2</sub>出力のレベルをハイレベルに設定すると、PチャネルMOSトランジスタ15とNチャネルMOSトランジスタ18はオン状態となり、PチャネルMOSトランジスタ20とNチャネルMOSトランジスタ23はオフ状態となり、インバータ11、PチャネルMOSトランジスタ16およびNチャネルMOSトランジスタ17は、インバータ8からの出力信号持ちの状態となる。ここにおいて、入力信号102がハイレベルにて入力されると、インバータ8よりはロウレベルの信号が出力され、インバータ11、PチャネルMOSトランジスタ15および16を介して、出力信号104としてハイレベルの信号が出力される。

【0017】次に、温度が上昇し、電源電圧が下降し、トランジスタ特性が遅くなる状態の時に、メモリ7におけるQ<sub>1</sub>出力およびQ<sub>2</sub>出力のレベルを共にロウレベルに設定すると、PチャネルMOSトランジスタ15および20と、NチャネルMOSトランジスタ18および23は共にオン状態となり、インバータ11、PチャネルMOSトランジスタ16および21、NチャネルMOSトランジスタ17および22は、インバータ8からの出力信号持ちの状態となる。ここにおいて、入力信号102がハイレベルにて入力されると、インバータ8よりはロウレベルの信号が出力され、インバータ11、PチャネルMOSトランジスタ15および16を介し、またPチャネルMOSトランジスタ20および21を介して、出力信号104としてハイレベルの信号が出力される。

【0018】次に、温度が下降し、電源電圧が上昇し、トランジスタ特性が速くなる状態の時に、メモリ7におけるQ<sub>1</sub>出力およびQ<sub>2</sub>出力のレベルを共にハイレベルに設定すると、PチャネルMOSトランジスタ15および20と、NチャネルMOSトランジスタ18および23は共にオフ状態となり、インバータ11はインバータ8からの出力信号持ちの状態となる。ここにおいて、入力信号102がハイレベルにて入力されると、インバー

6

タ8よりはロウレベルの信号が出力され、インバータ11の出力には、ハイレベルの信号が出力信号104として出力される。

【0019】上述のように、温度、電源電圧および半導体集積回路の製造時におけるトランジスタ特性の変動に合わせて、メモリ7におけるレベル状態を適宜設定することにより、駆動能力可変回路6における駆動能力を制御することが可能となる。

【0020】次に、このような駆動能力可変回路を、従来の図7に示される回路に適用した場合の想定例について考えてみる。図7において、配線長L<sub>1</sub>がL<sub>2</sub>に比較して十分に長い場合に、メタルスキューによる回路誤動作が生ずるが、これに対する対応策について説明する。まず、バッファ33とフリップフロップ31の信号経路に駆動能力可変回路が挿入されているものとする。この場合、バッファ33の信号経路に挿入されている駆動能力可変回路を、上述した温度上昇、電源電圧下降およびトランジスタの特性が遅くなった状態時と同様に設定したものとする。この状態においてはバッファ33の駆動能力がアップして、配線容量、次段のフリップフロップ31および32の入力容量による遅延時間の遅れを小さくすることができる。このことにより、図8に示されている配線長L<sub>1</sub>がL<sub>2</sub>よりも十分に長いことに起因する遅延差T<sub>2</sub>の値も縮小化される。また、フリップフロップ31の信号経路に挿入されている駆動能力可変回路を上述した温度下降、電源電圧上昇およびトランジスタ特性が速くなる状態と同様に設定したものとする、この状態においては、フリップフロップ31の駆動能力はダウンし、配線容量および次段のフリップフロップ32の入力容量による遅延時間の遅れT<sub>1</sub>を大きくすることができる。

【0021】即ち、以上のことから明らかなように、バッファ33の駆動能力をアップさせ、フリップフロップ32のC端子に入力される信号の遅延時間を速くし、また、フリップフロップ32のD端子に入力される信号の遅延時間を遅くすることにより、フリップフロップ32のホールド・タイムに関する条件に適合する結果が得られ、且つ回路の安定動作が保証される。

【0022】

【発明の効果】以上説明したように、本発明は、CMOS集積回路内に、所定の駆動能力可変回路および駆動能力可変回路を制御するメモリを設けることにより、外部から設定される前記メモリのレベル状態を介して、CMOS集積回路内の遅延時間のバラツキを制御することが可能となり、回路設計を容易にすることができるとともに、当該CMOS集積回路を安定に動作させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】本実施例における駆動能力可変回路およびバッ

7

8

ファの内部構成を示す回路図である。

【図3】従来例を示す回路図である。

【図4】前記従来例における動作を示すタイミング図である。

【図5】他の従来例を示す回路図である。

【図6】前記従来例における動作を示すタイミング図である。

【図7】他の従来例を示す回路図である。

【図8】前記従来例における動作を示すタイミング図である。

【符号の説明】

1 CMOS集積回路

2、4、24、25、27、29、31、32 フリップフロップ

3、6 駆動能力可変回路

5、26、30、33 バッファ

7 メモリ

8、11、14、19 インバータ

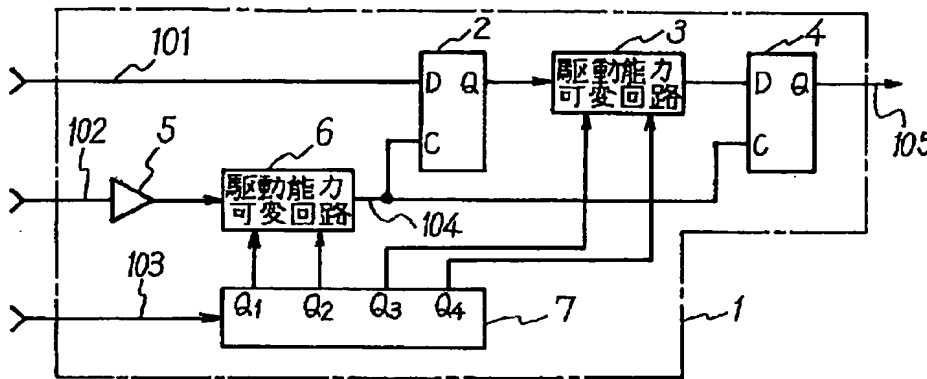
9、12、15、16、20、21 PチャネルMOSトランジスタ

10、13、17、18、22、23 NチャネルM

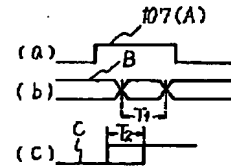
OSトランジスタ

28 遅延回路

【図1】



【図4】



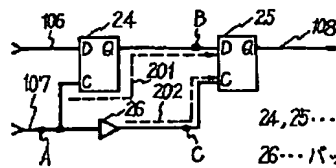
1...CMOS集積回路

2,4...フリップフロップ

5...バッファ

7...メモリ

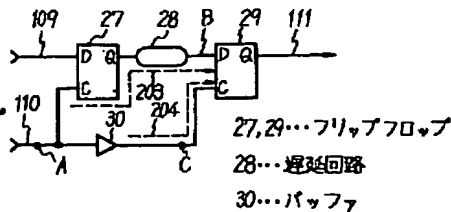
【図3】



24,25...フリップフロップ

26...バッファ

【図5】

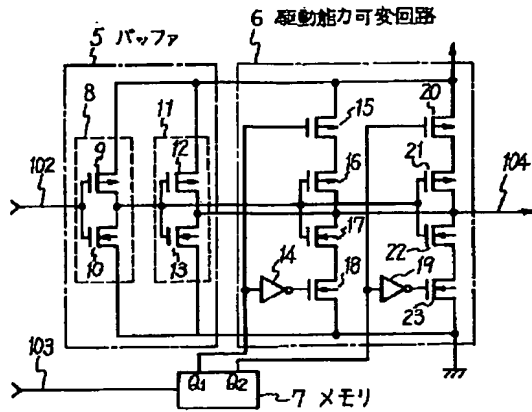


27,29...フリップフロップ

28...遅延回路

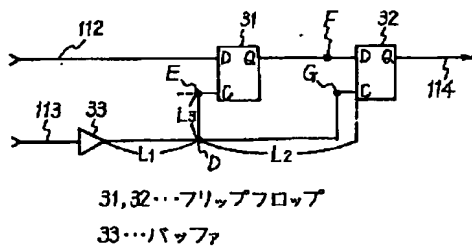
30...バッファ

【図2】



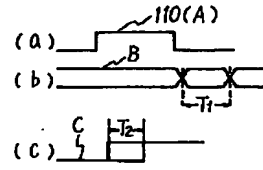
8, 11, 14, 19...インバータ  
 9, 12, 15, 16, 20, 21...PチャネルMOSトランジスタ  
 10, 13, 17, 18, 22, 23...NチャネルMOSトランジスタ

【図7】

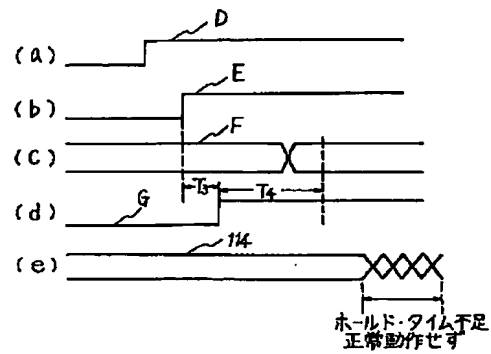


31, 32...フリップフロップ  
 33...バッファ

【図6】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**